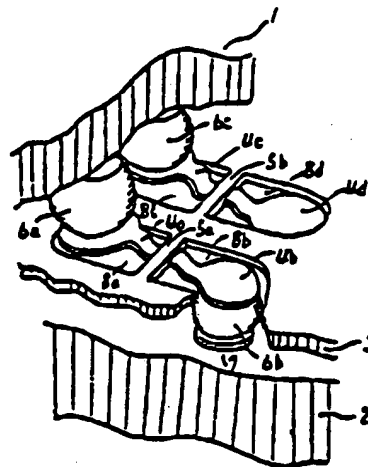


JP 401155633.A  
JUN 1984\* GKT  
TRANSLATED**(64) SEMICONDUCTOR DEVICE**

(11) 1,155,633 (A) (43) 19.6.1989 (19) JP  
 (21) Appl. No. 62-314167 (22) 14.12.1967  
 (71) HITACHI LTD (72) KAZUJI YAMADA (4)  
 (51) Int. Cl. H01L21/60

**PURPOSE:** To form the joint of a semiconductor chip and a wiring board into a flexible structure to prevent the generation of a thermal stress and to improve the reliability of a semiconductor device by a method wherein the connection of the chip with the board is conducted through foillike conductors provided on an organic film.

**CONSTITUTION:** A terminal provided on a semiconductor chip 1 is connected with a foillike conductor 4a provided on an organic film 3 through a solder ball 6a. A terminal 7 provided on a wiring board 2 is connected to a foillike conductor 4b formed integrally with the conductor 4a through a solder ball 6a. The conductors 4a and 4b are movable in punched parts 8a and 8b of the film 3. Therefore, even though the positional relation between the chip 1 and the board 2 is changed due to a thermal expansion and so on, no thermal stress is generated at the joint of the chip and the board 2. If the rear of the chip 1 is fixed on a sealing cap, the protection and the heat dissipation property of an element can be improved. A diagram is a cutaway and vertical line parts show the respective sectional surfaces of the chip, the board and the film 3.



1 - 738, 739  
 750, 756

① 日本国特許庁(JP)

① 特許出願公開 -

① 公開特許公報(A)

平1-155633

① Int. Cl.

H 01 L 21/60

識別記号

庁内整理番号

S-6918-5F

④ 公開 平成1年(1989)6月19日

審査請求 未請求 発明の数 1 (全6頁)

② 発明の名称 半導体装置

① 特 願 昭62-314167

② 出 願 昭62(1987)12月14日

② 発 明 者 山 田 一 二 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

② 発 明 者 曾 我 太 佐 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

② 発 明 者 三 吉 忠 彦 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

② 発 明 者 児 玉 弘 則 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

① 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

① 代 理 人 弁理士 中 本 宏 外1名

最終頁に続く

明 細 書

## 1 発明の名称

半導体装置

## 2 特許請求の範囲

1 半導体チップ表面のほぼ全面にわたって外部接続端子が配設されたチップと、そのチップを固定し、かつ電氣的接続をとるため、チップの端子にほぼ対応した位置に端子を有する基板とを向い合せて接続する半導体装置において、両者の端子が、その間に配設した有電層中に形成された導体を介して集積回路に接続されていることを特徴とする半導体装置。

2 該両者の端子の位置が、チップの表面の絶縁層上からみたと、両者の導体の集合領域と重ならないように配設されている特許請求の範囲第1項記載の半導体装置。

3 該導体の少なくとも一端が、電氣的に接続された少くとも2枚の部材からなり、チップ側の接続手段と基板側の接続手段が、それぞれ導体に接続されている特許請求の範囲第1項記載の半導体装置。

該半導体装置。

4 該チップ表面が、絶縁層を介して禁止用マスクに開けられている特許請求の範囲第1項記載の半導体装置。

5 該チップを接続する基板が、プリント基板である特許請求の範囲第1項～第4項のいずれか1項に記載の半導体装置。

6 該有電層中に、電気回路部を形成し、端子間に接続されている特許請求の範囲第1項記載の半導体装置。

## 3 発明の詳細な説明

(発明上の利用分野)

本発明は半導体チップと基板との接続に係り、特に、接続部に熱応力等が加わる接続部の適用に好適なフレキシブル接続板に関する。

(従来の技術)

例えば、シリコンを用いたものは集積度の増大に伴い、チップの大型化、端子数の増加が顕著である。これに伴い、従来の接続板が試みられている。その一つに、電子情報通信学会創立10周



符号 1 は半導体チップ、2 は配線基板、3 は導体付有基板、4 は導体、5 はフリンジ部、6 は半田ボール、7 は基板上の導体電極、8 は有線導線の打込部を意味する。半導体チップ 1 の外部端子 2 個のみについて図示されている。チップ端子と配線基板 2 の導体の接続について、1 つの端子に導体 4 による 1 個の接続法を説明する。実際には半導体、基板にノリライズ層等があるけれども、本発明の本質には関係ないため、省略して簡略化してある。

チップ端子は半田ボール 6 と接続される。このとき同時に、有線導線中に形成された導体 4 にも接続される。導体 4 の周辺 3 は有線導線が形成されている。この導体 4 は 1 と一体構造で、フリンジ部 5 によって有線導線に固定されている。有線導線の 8 の部分は導体 4 の外周に對する剛性は小さくしてある。次に、導体 4 と基板上の導体電極 7 とは半田ボール 6 で接続される。このようにして、チップと基板の導体は接続される。従来のようにして、チップと基板の導体は接続される。従来のようにして、チップと基板の導体は接続される。

とができる効果がある。

実施例 1

他の実施例を図 1 図に示す。図 1 図に示した実施例との違いは、チップ側を接続する半田ボール 6 が銅又は金あるいはそれらに対応した金属ペースト 6a を介してノリライズ層 10a に熱圧着で一層ボンディングされているところである。

10 半田ボール部を熱圧着で一層ボンディングし、6a 部を半田ボールとしても成り立つ。

実施例 4

導体接続導体 4 の形状は、半導体チップと基板導線を接続する時の剛性に強く係わる。ボンディングが十分行える剛性がありかつ導体間すれを低減できる剛性が好ましい。一例を図 4-1 図及び図 4-2 図に導体形状の平面図として示した。各図において符号 11 は導体部、12 は導体間接続導体部 13 を意味する。

図 4-1 図は導体間接続導体部 13 を低減しやすいた導体形状を示す。導体間を接続する導体間接続導体部 13 の実質長を長くしたものである。

とい。

この構造によれば、チップと基板が接続されてから、両者の位置関係が熱などの外乱によつて変化したとき、半田ボール 6、及び 6a 並びに導体部 4、及び 4a 更には有線導線の導体部 4 (フリンジ部) 5 で変位を吸収する。このため、従来のごとく、半田ボールが一列に多数になつていて両者の位置の変位を吸収する部分が半田のみとなるため、本発明では寿命が著しく向上した。

実施例 5

本発明の実態実施例の断面図を図 2 図に示す。図 2 図において、符号 1-3 は導体部と同様であり、7 はチップ 1 の裏面につけられた絶縁層、10 はノリライズ層を意味する。図 1 図との違いは可動導体部 4a、4b、4c、4d の半田ボールが接続された面は有線導線 3a、3b、3c、3d がつけられた面になつていて、この構造では、半田ボール部の変位が大きくつたとしても、導体部が絶縁されているため必要変位距離とのシートを引くと

この形状とすることとで、平面内の導体間変位を低減しやすくと同時に、底面と基板方向変位の低減も大いに改善できる。

図 2-1 図は半田ボール付時の剛性を上げた構造である。導体間接続導体部 13 とは反対側になる面に可動導体 11a 及び 11b を追加した構造である。

これらの構造選択はチップ実装材料によつてかわる。

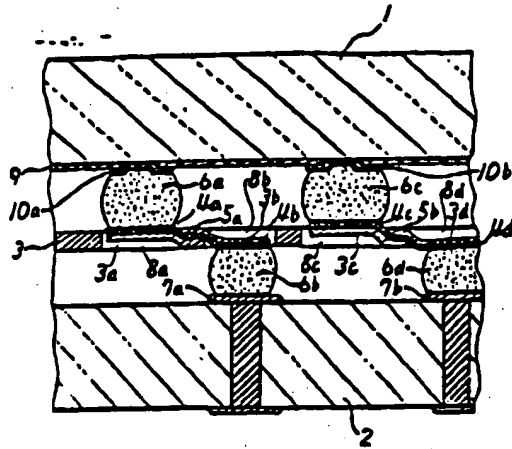
実施例 6

図 3 図に接続導線を考慮した実施例を示した。すなわち図 3 図はベクターに適用した例を示す断面図であり、符号 13 はチップ、14 は半田、15 は半田材料、16 はチップ側止空間を意味する。図 3 図においては、チップ 13 とチップ 1 が半田等の低熱伝導材料で接続されている。チップと配線基板 2 の場合は半田材料 15 で行われる。このとき内部空間は真空又は不活性ガス又は 30 ガスが封入される。

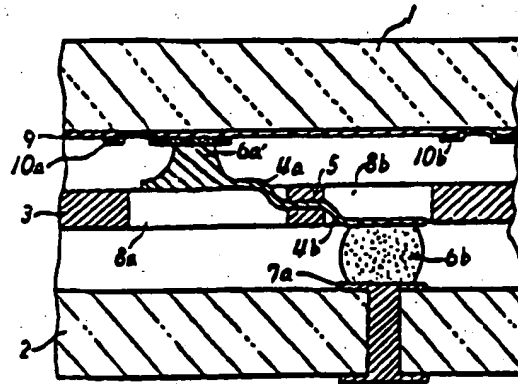
チップ間隙があると、チップ基板 (図 3 の半田 15)

- 182 -

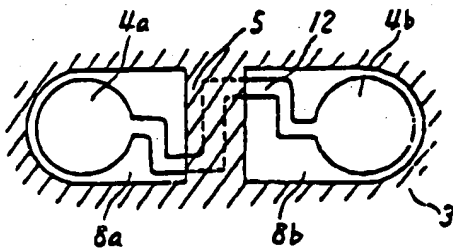
第 2 図



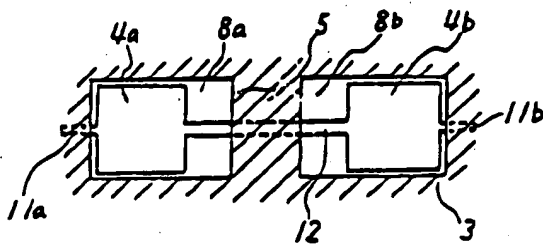
第 3 図



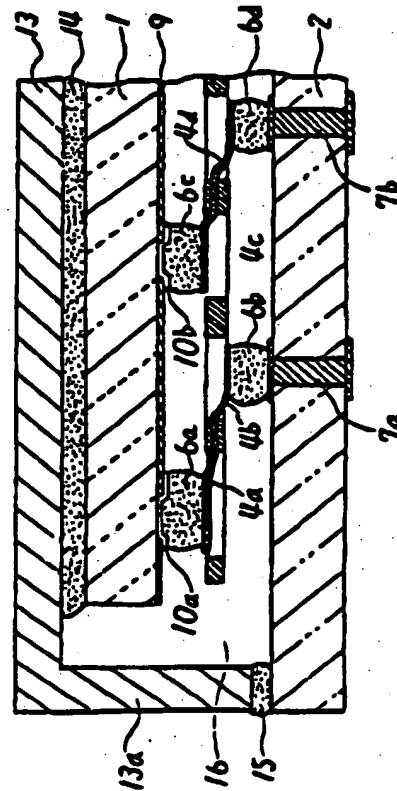
第 4-1 図



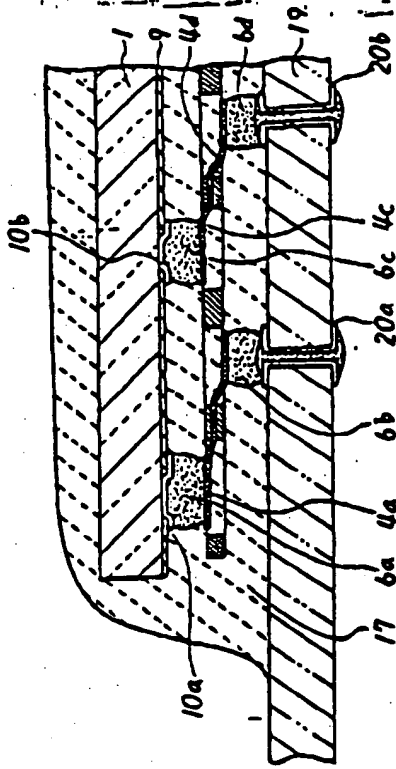
第 4-2 図



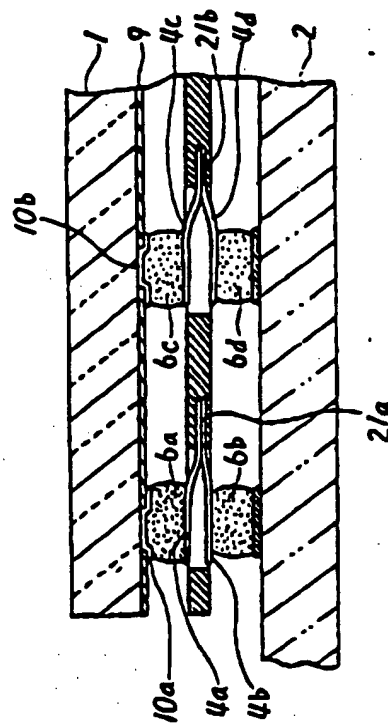
第 5 図



第 6 図



第 7 図



第1頁の続き

⑦発明者 九嶋 忠雄

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**